

OPEN-NEXT

INFN TTLab

Andrea Ferraro
INFN TTLab
15/6/2016

SUMMARY

- ▶ OPEN-NEXT IN PILLOLE
- ▶ CONTESTO (BANDO)
- ▶ DESCRIZIONE DEL PROGETTO
- ▶ PARTECIPANTI
- ▶ PIANO DI ATTIVITA'

OPEN-NEXT in pillole

- ▶ Titolo progetto: OPEN-NEXT
- ▶ Sottotitolo: Strutture software real-time e open-source per piattaforme embedded industriali di prossima generazione
- ▶ E' il primo progetto regionale a cui partecipa l'INFN TTLab
- ▶ Finanziato dal bando "Progetti di ricerca industriale strategica" del POR-FESR 2014-2020 per enti di ricerca e imprese su tecnologie innovative
- ▶ Intende sviluppare una piattaforma per il mondo embedded che permetta l'esecuzione di applicazioni industriali su dispositivi eterogenei multicore/accelerati

POR FESR 2014-2020



Programma operativo regionale
Fondo europeo di sviluppo regionale



Regione Emilia-Romagna

- ▶ Il programma POR FESR 2014 2020
 - 482 M euro totali
 - 140 M euro per ricerca ed innovazione
 - POR si basa sul documento «Strategia Regionale di Innovazione per la Specializzazione Intelligente Smart Specialization Strategy S3»
(<http://www.regione.emilia-romagna.it/fesr/por2014-2020/documenti/documenti-por-fesr-2014-2020>)
- ▶ Aree: Agroalimentare, Edilizia e Costruzioni, Meccatronica e Motoristica, Industrie della salute e del benessere, Industrie culturali e creative
- ▶ ICT è trasversale e comune a tutte le aree
- ▶ Due bandi conclusi:
 - **Progetti di ricerca industriale strategica**
 - Per laboratori di ricerca (raggruppati in ATS)
 - Contributi: 35 M euro
 - Scad: 30/9/2015
 - Progetti di ricerca e sviluppo delle imprese
 - Per SMEs (in forma singola o associata)
 - Contributi: 31 M euro
 - Scad: 30/10/2015

← OPEN-NEXT

Progetti di ricerca industriale strategica

- ▶ I progetti dovranno prevedere lo sviluppo e la sperimentazione di tecnologie la cui fattibilità sia già stata precedentemente dimostrata. I progetti dovranno riguardare la validazione della tecnologia in ambiente di laboratorio e la sua dimostrazione e sperimentazione in ambiente industriale.
- ▶ Partire da un TRL 3 minimo già acquisito (experimental proof of concept). Prevedere di raggiungere almeno un TRL 5 (technology validated in relevant environment – industrially relevant environment in the case of KET)

OPEN-NEXT: numbers

- ▶ Durata: 24 mesi (1/4/16–31/3/16)
- ▶ Accordo di partenariato:
 - 5 laboratori raggruppati in ATS (cofinanziamento)
 - 5 imprese
- ▶ Costi:
 - Totale: 1021k€ (TTLab: 70k€)
 - Contributo: 739k€ (TTLab: 49k€)
- ▶ Personale (gg):
 - Totale STAFF: 681gg (TTLab: 37gg)
 - Totale NO-STAFF: 4165gg (TTLab: 432gg <– 1AR)

OPEN-NEXT (abstract)

- ▶ OPEN-NEXT intende sviluppare una piattaforma SW che permetta l'esecuzione di applicazioni industriali real-time di nuova generazione su dispositivi eterogenei multi/many-core, ottenendo una riduzione fino ad un ordine di grandezza nel consumo energetico e nel costo di sviluppo
- ▶ La piattaforma sarà scalabile su diversi processori e sarà ingegnerizzata per facilitarne la configurazione e l'uso attraverso interfacce basate su modelli di programmazione parallela di larga diffusione
- ▶ La piattaforma sarà testata su casi d'uso forniti da eccellenze regionali che ne garantiranno anche la diffusione

L'IDEA DI OPEN-NEXT NASCE DAI REQUISITI DELLE NUOVE APPLICAZIONI INDUSTRIALI (INDUSTRY 4.0)

- ▶ **Maggiori carichi computazionali**
 - Elaborazione rapida e la fusione di molteplici dati sensoriali
- ▶ **Ridotto consumo energetico**
 - Utilizzo di batterie più piccole associate a fonti energetiche rinnovabili
- ▶ **Più rapida ed affidabile interazione con l'ambiente circostante**
 - Capacità di reazione in tempi predicibili
- ▶ **Maggiore criticità**
 - Sistemi che partecipano ad attività safety-critical anche in stretta interazione con l'uomo

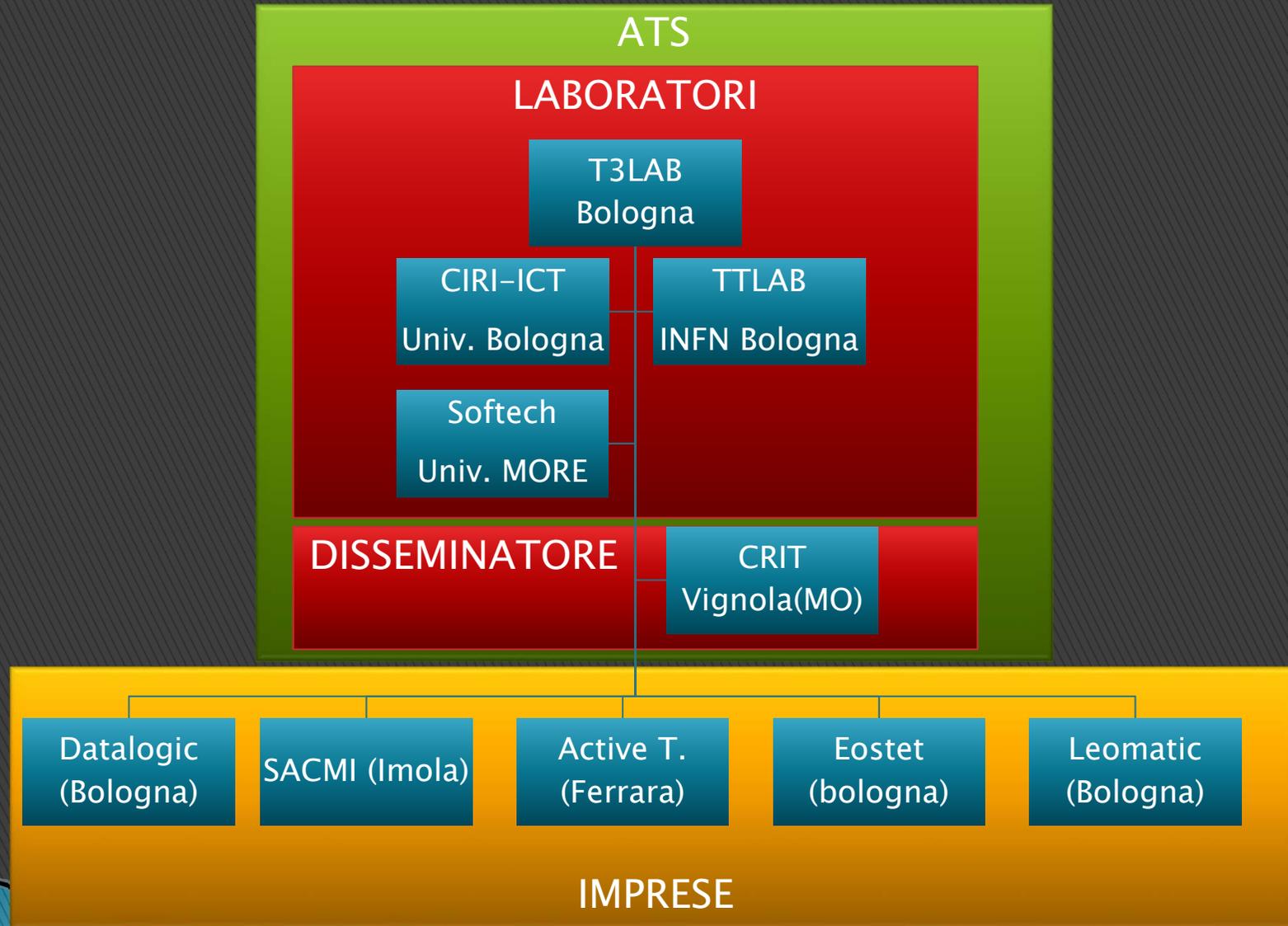
OBIETTIVI DEL PROGETTO

- ▶ Identificazione di un insieme di piattaforme SW, linguaggi di programmazione e metodologie di progettazione di riferimento per l'utilizzo di architetture eterogenee multi/many-core nell'ambito di applicazioni industriali con vincoli real-time
- ▶ Creazione di un portafoglio/distribuzione di strumenti il piu' possibile automatizzati per supportare lo sviluppo del SW
- ▶ Creazione di un IDE il piu' possibile automatizzato che consenta la creazione e la configurazione di stack complessi di sistemi operativi

COERENZA DI OPEN-NEXT CON LA STRATEGIA REGIONALE DI SPECIALIZZAZIONE INTELLIGENTE (PAROLE CHIAVE)

- ▶ Fabbrica, linee di produzione e macchine intelligenti
 - per cio' che concerne lo sviluppo di soluzioni di controllo CPS nei sistemi mecatronici
- ▶ Manufacturing 2.0
- ▶ Sistemi robotizzati e autonomi
- ▶ Sistemi di trasporto intelligente
 - elettronica automobilistica

PARTENARIATO



ATS

- L'ATS E' FORMATO DAI LABORATORI E DAL DISSEMINATORE
- L'ATS E' IL SOGGETTO GIURIDICO CHE DA ORIGINE AL PROGETTO E CHE RICEVE IL FINANZIAMENTO DALLA REGIONE
- I LABORATORI FORNISCONO LE COMPETENZE AL PROGETTO (il progetto consentirà di rafforzare le competenze dei laboratori partner nell'ambito delle piattaforme embedded di prossima generazione, favorendo la costituzione di un centro di eccellenza "distribuito" al servizio delle imprese del territorio su tematiche trasversali)

T3LAB

- ha esperienza di sviluppo kernel-space su sistemi Unix-like, in particolare su Linux e su diverse piattaforme HW, anche eterogenee

CIRI-ICT UniBO

- ha diversi anni di esperienza nelle architetture multi/many-core eterogenee su cui ha sviluppato librerie run-timeMP

Softech UniMORE

- ha esperienze nell'ambito dell'analisi di schedulabilita' su sistemi multi-core

INFN TTLab

- ha competenze di porting su architetture low-power e technology tracking su HPC e low-power computing

- IL DISSEMINATORE FORNISCE I SERVIZI ORGANIZZATIVI E DI DISSEMINATION:

- CRIT di Vignola (MO), specializzato nello scouting tecnologico e nella gestione di progetti di ricerca, mediante il confronto tra aziende su problemi e soluzioni tecniche

IMPRESE

- NON RICEVONO FINANZIAMENTI
- UTILIZZANO I RISULTATI DEL PROGETTO
- FORNISCONO GLI USE CASES INDUSTRIALI

▶ Datalogic (automazione, Bologna)

- metterà a disposizione alcuni sistemi di visione artificiale con intelligent camera che generano grandi moli di dati da processare in tempo reale
- scalabilità: il processo di build e configurazione del SW su multicore
- app già in uso su 1-core: TRL9; app su n-core: TRL3 -> TRL6

▶ SACMI (packaging/ceramica, Imola)

- sistema di controllo per l'automazione in ambito ceramico
- un PC host scambia un flusso di immagini con PC embedded non garantisce i requisiti
- Soluzione: 3 core per windows (HMI), 1 core per Linux (I/O)
- TRL3 -> TRL5/6

▶ Active Technologies (Elettronica, Ferrara)

- Remotizzazione di strumentazione elettronica per Factory 2.0
- Linea di produzione in uso: TRL9; app su FPGS: TRL3

▶ Leomatic (Elettronica, Bologna)

- Un RTOS per core

▶ EOSTech (Elettronica, Bologna)

Coesistenza di kernel Linux e RTOS

Money&People

Partner	Costo	Contributo	TOTALE
T3LAB	462500	328625	328625
UNIBO	146250	104625	104625
UNIMORE	305000	219500	219500
INFN	70000	49000	49000
CRIT	37500	37500	37500
TOTALE	1021250	739250	739250

1 AR
INFN TTLab



TIPOLOGIA	Già acquisito	Da acquisire
Personale dipendente a tempo indeterminato	11	0
Personale dipendente a tempo determinato	0	5
Assegni di ricerca	-	6
Contratti a progetto/co.co.co	-	0
-	-	-
-	-	-
TOTALE	11	11

OUTPUT DEL PROGETTO

▶ STACK TECNOLOGICO

- Garantisce elevate prestazioni e bassi consumi dei sistemi di automazione e controllo industriali con vincoli real-time e requisiti di predicibilità
- sCostruzione di un insieme di prototipi di piattaforme HW/SW di elaborazione che saranno poi alla base dei dimostratori industriali

▶ MODELLI PER SVILUPPO DI SW PARALLELO E RT

- Automatizzare il processo di sviluppo del software e produttività del programmatore per target multi-core
- Generalizzare i risultati ottenuti, sia in termini di performance che di garanzie di predicibilità, su architetture eterogenea multi/many-core suggeriti dai partner industriali

▶ IDE

- Delivery di un portafoglio di strumenti di semplice utilizzo e installazione
- Facilitare la costruzione e la configurazione di stack complessi di sistemi operativi, potendo questi comprendere hypervisor e molteplici istanze di kernel diversi.

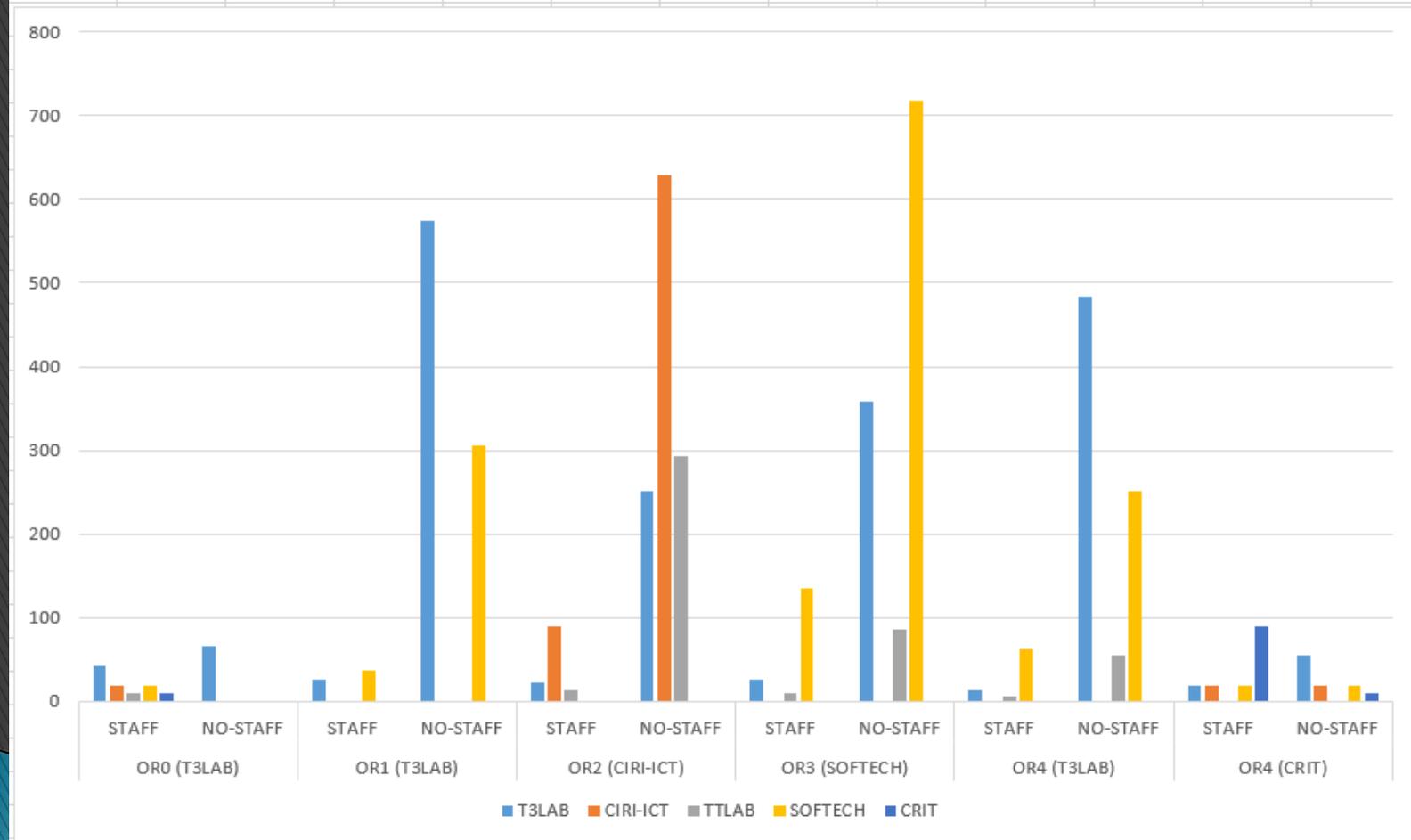
PIANO DI ATTIVITA'

OVERALL

- ▶ OR0 (T3LAB): Coordinamento e gestione del progetto
 - 1-24
- ▶ OR1 (T3LAB): Casi d'uso e applicazioni
 - 1-24
- ▶ OR2 (CIRI-ICT): Programming model per n-core con vincoli real-time
 - 1-18
- ▶ OR3 (SOFTECH-ICT): Sistemi operativi real-time
 - 1-24
- ▶ OR4 (T3LAB): Strumenti di analisi e di sviluppo
 - 11-24
- ▶ OR5 (CRIT): Attivita' di diffusione e disseminazione dei risultati
 - 3-24

PIANO DI ATTIVITA'

	OR0 (T3LAB)		OR1 (T3LAB)		OR2 (CIRI-ICT)		OR3 (SOFTECH)		OR4 (T3LAB)		OR4 (CRIT)	
	STAFF	NO-STAFF	STAFF	NO-STAFF	STAFF	NO-STAFF	STAFF	NO-STAFF	STAFF	NO-STAFF	STAFF	NO-STAFF
T3LAB	43	65	26	574	22	251	26	359	14	484	18	54
CIRI-ICT	18	0	0	0	90	628	0	0	0	0	18	18
TTLAB	9	0	0	0	14	292	9	86	5	54	0	0
SOFTECH	18	0	36	305	0	0	135	717	63	251	18	18
CRIT	9	0	0	0	0	0	0	0	0	0	90	9



ORO (T3LAB)

Coordinamento e gestione del progetto

ATTIVITA'

- ▶ implementazione del programma
- ▶ avanzamento delle spese, definendo un contingency plan per risolvere eventuali problematiche
- ▶ supervisione delle rendicontazioni
- ▶ coordinamento di tutte le attività relative all'area tecnica, supervisionando le attività di ricerca e diffusione e validandone i risultati

RISULTATI

- ▶ Organizzazione di 4 meeting di progetto
- ▶ Redazione delle relazioni tecnico-amministrative intermedie e finali

OR1 (T3LAB)

Casi d'uso e applicazioni

OBIETTIVI

- ▶ Analisi dei requisiti a partire dai singoli casi d'uso
 - per OR2, O3 e OR4
- ▶ Definire le modalita' con cui portare le applicazioni oggetto dei singoli casi d'uso sullo stack tecnologico
 - Una volta disponibile lo stack, sarà necessario coadiuvare l'azienda interessata nella realizzazione del port: questo lavoro di guida, supervisione e implementazione fornirà anche la migliore occasione per raggiungere l'obiettivo di trasferire verso le singole aziende il know-how sviluppato dai laboratori.
- ▶ Caratterizzazione degli output del progetto OPEN-NEXT
 - Si confronteranno le performance dell'applicazione originale e di quella adattata alla piattaforma eterogenea multi/many-core
 - si raccoglieranno e si discuteranno le valutazioni dei progettisti delle aziende relativamente agli strumenti e alle metodologie messe a disposizione da OPEN-NEXT

ATTIVITA'

- ▶ Analisi dei requisiti real-time
- ▶ Analisi delle performance su piattaforma single-core
- ▶ Definizione dell'architettura di port dell'applicazione su piattaforma eterogenea multi/many-core e sul framework di progetto (vedi anche OR2)
- ▶ Analisi, verifica e consegna (alle imprese) dei port dell'applicazione su piattaforma eterogenea multi/many-core
- ▶ Analisi delle performance dell'applicazione su piattaforma eterogenea multi/many-core e sul framework di progetto; confronto con performance single-core

OR2 (CIRI-ICT)

Programming model

OBIETTIVI

- ▶ Identificazione e utilizzo dei modelli di programmazione di riferimento soggetti da un lato ad una forte standardizzazione industriale, e dall'altro lato spinti da larghe comunità open source attive nel loro sviluppo (e.g. OpenMP, OpenCL, OpenVX, etc.)
- ▶ Sviluppare e ottimizzare le librerie (run-time) per l'utilizzo in maniera efficiente dei modelli di programmazione sulle piattaforme selezionate, con l'obiettivo di minimizzare l'utilizzo di memoria ed il consumo di potenza, elementi indispensabili per sistemi operanti in ambiti industriali embedded.
- ▶ Porting di applicazioni seriali embedded su hardware low-power multicore/accelerato
- ▶ Il contributo tecnico dell'OR verrà misurato tramite il miglioramento dell'efficienza energetica, attraverso ottimizzazioni delle librerie che implementano il modello di programmazione associato ad ogni piattaforma, mantenendo la compatibilità con gli standard, e garantendo che le specifiche real-time delle applicazioni vengano soddisfatte.

OR2 (CIRI-ICT)

Programming model

ATTIVITA' PREVISTE

- ▶ Identificazione del programming model di riferimento per le piattaforme multicore/accelerate che implementano gli use-cases del progetto ed eventuale estensione real-time ai programming model di riferimento scelti
- ▶ Implementazione di meccanismi software per la gestione ad alto livello di funzioni accelerate su FPGA
- ▶ Studio ed implementazione di meccanismi software per facilitare la programmazione e rendere più efficiente lo scambio di dati in architetture eterogenee "shared memory" (es. HSA di AMD/QUALCOMM)
- ▶ Porting di applicazioni che implementano gli use-cases su architetture low-power multicore/accelerate e analisi delle performance

RISULTATI ATTESI

- ▶ Linee guida multicore/acceleratori per sviluppatore embedded
- ▶ Porting di applicazioni forniti dagli use-cases:
 - Miglioramento di performance ed efficienza energetica delle piattaforme eterogenee multi e many-core rispetto all'equivalente single core, rispettando i vincoli real-time imposti dalle applicazioni
- ▶ Estensioni real-time al programming model di riferimento

OR3 (SOFTECH)

SISTEMI OPERATIVI REAL-TIME

OBIETTIVI

1) Creazione di stack complessi di OS per la gestione di architetture eterogenee multicore ←- ??? (e.g.: OS diversi su cores di tipo diverso)

- Questo perché l'eterogeneità dell'HW non necessariamente si presta ad essere gestito in modo unitario da un singolo OS
 - Nel chip Zynq UltraScale+ MPSoC di Xilinx sono ad es presenti sia core A53, piu' adatti ad un OS come Linux (più drivers, maggiore diffusione OS, etc.), sia core M4 piu' adatti a RTOS
- Uso di Xilinx OpenAMP (Open Asymmetric Multi Processing): framework di Xilinx che consente l'interazione tra moduli/processi allocati su diversi OS in core diversi

<http://www.wiki.xilinx.com/OpenAMP>

- A master processor in an AMP system bring up software on the remote cores on a demand-driven basis
- These cores then communicate using Inter Process Communication (IPC).
- This allows the master processor to off-load work to the other processors, called remote processor

2) Analizzare tecniche di scheduling RT per kernel Linux (e.g. SCHED_DEADLINE) ed eventualmente adattarle negli use-cases del progetto (patches)

OR3 (SOFTECH)

SISTEMI OPERATIVI REAL-TIME

Attività previste

- ▶ Analisi dei requisiti real-time dei domini industriali di riferimento
- ▶ Analisi di schedulabilità delle versioni parallele delle applicazioni
- ▶ Identificazione di possibili estensioni all'OS di riferimento, per soddisfare vincoli RT dell'industria di nuova generazione
- ▶ Implementazione degli algoritmi di scheduling RT, e corrispondente analisi di schedulabilità, per applicazioni industriali su piattaforme many-core eterogenee di nuova generazione
- ▶ Definizione di un insieme di stack complessi di OS di interesse per la realizzazione di applicazioni real-time su piattaforme eterogenee multicore
- ▶ Implementazione degli stack complessi del punto precedente

Risultati attesi

- ▶ Creazione di stack complessi di OS per realizzare applicazioni real-time su piattaforme eterogenee multicore
- ▶ Identificazione e implementazione parziale di estensioni real-time ai programming model e OS di riferimento
- ▶ Metodologia per garantire vincoli RT in applicazioni industriali per piattaforme eterogenee multicore di nuova generazione

OR4 (T3lab)

STRUMENTI DI ANALISI E SVILUPPO

- ▶ Creazione di un insieme di tool grafici che facilitino l'utilizzo delle piattaforme computazionali sviluppate in OR2 e OR3
 - Questo tool dovrà ovviamente considerare e riutilizzare il più possibile quanto già esistente, come menuconfig e l'IDE di Yocto
 - Estensioni saranno comunque necessarie per gestire la composizione di più kernel e il partizionamento tra loro delle risorse HW
 - Plugin Eclipse PTP OpenMP
- ▶ Creazione di un portafoglio/distribuzione con strumenti di analisi e profiling

OR4 (T3lab)

STRUMENTI DI ANALISI E SVILUPPO

Attività previste

- ▶ Analisi degli strumenti correntemente disponibili per il build e la configurazione di Linux
- ▶ Sviluppo di un ambiente che faciliti la costruzione e la configurazione del kernel Linux, e la creazione di moduli e programmi sia in user che in kernel space.
- ▶ Sviluppo di un IDE per il build e la configurazione di stack complessi di sistemi operativi.
- ▶ Sviluppo del plugin PTP OpenMP per tenere conto degli sviluppi in OR2
- ▶ Implementazione degli strumenti per l'analisi di schedulabilità relativa agli algoritmi di scheduling definiti in OR3
- ▶ Consolidamento degli strumenti sviluppati in OPEN-NEXT in un unico IDE

Risultati attesi

- ▶ Prototipo di tool per il build e la configurazione di stack complessi di sistemi operativi
- ▶ Prototipo di plugin PTP OpenMP che tenga conto degli sviluppi in OR2
- ▶ Prototipo di tool per l'analisi di schedulabilità
- ▶ Prototipo di IDE che consolidi i tool sviluppati in OPEN-NEXT

INFN TTLab @ OPEN-NEXT

▶ People:

- C.Vistoli: responsabile nazionale (il progetto è regionale ma non cambia molto)
- A. Ferraro: responsabile locale CNAF (20%)
- P.Fabbri: financial officer
- C. Cesini (collaboratore attività OR2)
- 1 AR (24 mesi) da acquisire entro settembre

▶ COMPETENZE (da progetti in essere o precedenti, e.g. COSA)

- Conoscenza modelli di coding parallelo su multicore, multinodo e acceleratori (MPI, CUDA, OPENMP)
- Coding/Porting di applicazioni scientifiche su architetture multicore, eterogenee e low power (x86/ARM/GPU)
- Benchmarking di codice (performance)
- Benchmarking di cluster HPC, embedded, eterogenei, etc. (BOM, power consumption, etc.)

▶ ATTIVITA' (prevalentemente nell'OR2)

- Identificazione del programming model di riferimento per architetture eterogenee embedded multicore (Fattibilità tecnica, Convenienza tempo/economica)
 - Dal 1apr2016 al 31dic2016
- Porting di SW estratti dagli use-cases e analisi delle performance
 - Dal 1ott2016 al 31mar2018

■ COSA: Computing On SOC Architecture

■ Duration: 3 years from January 2015

■ 7 INFN locations:

- CNAF (located in Bologna; ref: D.Cesini, A.Ferraro)
- PI, PD, ROMA1, FE, PR, LNL

COSA: SW porting, embedded & cluster experience

Server Grade platform

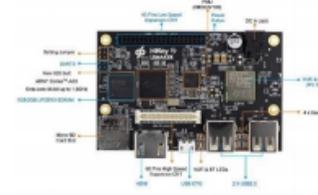


ARM Juno Board
r1: 2xA57 + 4xA53
r2: 2xA72 + 4xA53
DRAM: 8 Gbytes
4 PCIe (Gen 2, 4x)



Gigabyte MP30-AR0
AppleidMicro X-Genel 8core
DRAM:max128GB
2 x 10GbE SFP+
2 x 1GbE LAN ports
2 x PCI-Express slots (Gen.3, 8x)

Embedded platform



HiKey 96boards
1/2GB LPDDR3 SDRAM
8 x Cortex-A53 cores
Cost: \$100 (2GB)



AMD Opteron A1100
16GB RAM
2x10Gbs

TTLab (next steps in OPEN-NEXT)

▶ ATTIVITA' CON L'ESTERNO

- Continuare l'analisi del modello di computing migliore con CIRI-ICT (UniBO) e SOFTECH (UniMORE)
- Definire le attività di porting SW e di scelta dell'HW (NVIDIA Tegra Xilinx Zynq Ultrascale, TI Keystone II, AMD R-series) con CIRI-ICT e SOFTECH e con le imprese che forniscono gli use-cases:
- Prossime date:
 - 24 giugno: face-to-face coi partner OR2 presso CIRI-ICT (UniBO)
 - 30 giugno: presentazione di Open-Next alle aziende presso CRIT (l'obiettivo è quello di raccogliere l'interesse delle aziende della Regione e nuovi use-cases da sviluppare nel progetto)

▶ ATTIVITA' INTERNE INFN

- Aprire sigla OPEN-NEXT dell'INFN a fine giugno, quando avverrà in bilancio il finanziamento (in realtà i fondi vengono anticipati)
- Bando per IAR (PROFILO: attività d'identificazione e utilizzo dei modelli di programmazione di riferimento per l'esecuzione di applicazioni real-time parallele sulle piattaforme eterogenee multicore/accelerate, attività di porting di SW estratti dalle applicazioni che implementano gli use-cases, analisi delle performance, contributo tecnico e di review all'ottimizzazione delle librerie RT, etc.)